

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-092851
 (43)Date of publication of application : 31.03.2000

(51)Int.Cl. H02M 7/48
 G05B 11/36
 H02P 5/46

(21)Application number : 10-259969

(71)Applicant : TOYOTA MOTOR CORP
 TOSHIBA CORP

(22)Date of filing : 14.09.1998

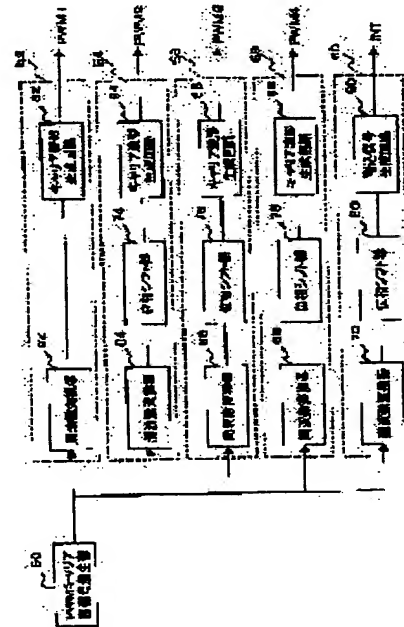
(72)Inventor : OYA EIJI
 KAWABATA YASUMI
 KANAMORI AKIHIKO
 SHINOHARA MAKOTO

(54) PWM SYSTEM ROTATING MACHINE CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain the constant control period of a control signal and the constant phase relationship with the PWM carrier signal when the carrier frequency is switched in the PWM carrier signal generating system, and particularly when a plurality of PWM carrier signal generating systems are used for control of a motor having a plurality of shafts.

SOLUTION: A PWM carrier original signal generating means 50 outputs each bit of the counted value based on the internal clock as the basic carrier signal with a parallel signal line. The frequency converters 62 to 70 provided to each carrier signal generating means 52 to 58 and an interruption control signal generating means 60 extract the partial stream of bit stream of the basic carrier signal, and generate the signal in the frequency 2n times the frequency of the basic carrier signal. Thereafter, phase shift is performed by phase shifters 74 to 80 as required. Based on the saw-tooth wave in this step, the PWM carrier signal and control signal of symmetrical triangular wave are generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-92851

(P2000-92851A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 2 M 7/48

H 0 2 M 7/48

F 5 H 0 0 4

G 0 5 B 11/36

G 0 5 B 11/36

E 5 H 0 0 7

H 0 2 P 5/46

H 0 2 P 5/46

B 5 H 5 7 2

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平10-259969

(22) 出願日

平成10年9月14日 (1998.9.14)

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大矢 英詞

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

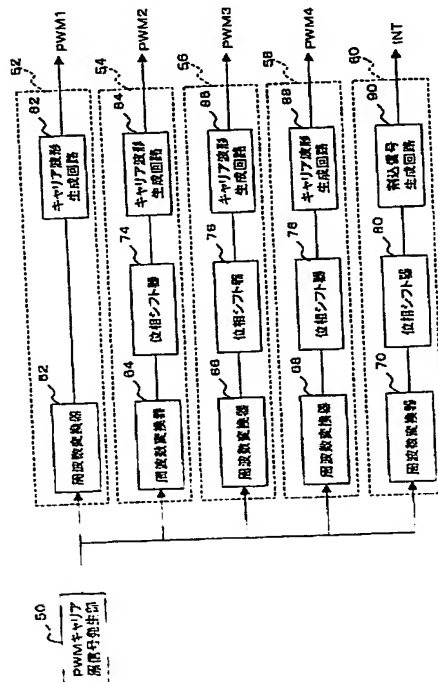
最終頁に続く

(54) 【発明の名称】 PWM方式回転機制御装置

(57) 【要約】

【課題】 PWM方式回転機制御装置において、PWMキャリア信号の周波数を切り替えた場合に、PWMキャリア信号と制御信号との位相ずれや制御周期の変化が生じる。

【解決手段】 PWMキャリア原信号発生部50が内部クロックに基づく計数値を基本キャリア信号としてその値の各ビットを並列信号線で出力する。各キャリア信号発生部52~58と割込制御信号発生部60とのそれぞれに設けられた周波数変換器62~70が基本キャリア信号のビット列の部分列を取り出し、基本キャリア信号の2ⁿ倍の周波数の信号を生成する。その後、必要に応じて位相シフト器74~80によって位相シフトが行われる。この段階の鋸歯形に基づいて、対称三角波のPWMキャリア信号や制御信号が生成される。



【特許請求の範囲】

【請求項 1】 PWMキャリア信号と一定周期の制御割込信号とを生成する PWM方式回転機制御装置において、

所定ビット数での累積カウントを基準周波数で繰り返し、カウント値を表すビット列をビット毎に並列出力する PWMキャリア原信号発生部と、

前記ビット列からキャリア用ビット部分列を取り出し、当該キャリア用ビット部分列により表され前記基準周波数の 2^n 倍 (n は 0 以上の整数) の周波数で繰り返されるカウント値を生成する周波数変換手段を有し、当該カウント値に基づいて前記 PWMキャリア信号を生成するキャリア信号発生部と、

前記ビット列から割込用ビット部分列を取り出し、当該割込用ビット部分列により表され前記基準周波数の 2^m 倍 (m は 0 以上の整数) の周波数で繰り返されるカウント値を生成する周波数変換手段を有し、当該カウント値に基づいて前記制御割込信号を生成する割込信号発生部と、

を有することを特徴とする PWM方式回転機制御装置。

【請求項 2】 請求項 1 記載の PWM方式回転機制御装置において、

前記キャリア信号発生部は、前記ビット列中での前記キャリア用ビット部分列とされるビット列範囲をシフトさせて前記 PWMキャリア信号の周波数を切り替える周波数切替手段を有することを特徴とする PWM方式回転機制御装置。

【請求項 3】 請求項 2 記載の PWM方式回転機制御装置において、

前記キャリア信号発生部は、その周波数変換手段の出力信号に対し位相シフトを行う位相シフト手段を有すること、

を特徴とする PWM方式回転機制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PWM方式でモータや発電機を制御する回転機制御装置に関する。

【0002】

【従来の技術】 モータや発電機といった回転機を制御する方法としては、PWM制御が一般に知られている。この種の制御においては、通常、三角波形を有する PWMキャリア信号と例えばモータへのアナログ指令信号とが比較され、これによりパルス幅が変調されたスイッチング矩形信号が生成される。この PWMキャリア信号は、例えば内部クロックに基づいて回転機制御装置により生成される。回転機制御装置は、例えばモータのサーボ制御ループなどの処理のタイミングを定める制御割込信号も生成する。

【0003】 図 5、図 6 は、従来の回転機制御装置における PWMキャリア信号と制御割込信号との生成に係わ

る概略のブロック図である。これらの図に示す従来例では、2つのモータをそれぞれ別個に制御するために2つの PWMキャリア信号 PWM1、PWM2 が生成され、それとともに制御割込信号 INT が生成される。

【0004】 まず図 5 に示す従来装置においては、内部クロック発生部 2 にて生成された所定の高周波数のクロックが、PWM1、PWM2、INT の各信号生成系統にそれぞれ対応して設けられた分周回路 4、6、8 に入力される。例えば、分周比はそれぞれ M_1 、 M_2 、 M_3 であるとする。PWM1 生成系統の分周回路 4 の出力には、UP/DOWN カウンタ 10 が設けられ、カウント値 0 から N_1 までのカウントアップと、カウント値 N_1 から 0 までのカウントダウンとを交互に繰り返す。これにより、カウント値に基づいて生成される信号は、 $M_1 N_1$ クロックの期間、電圧が上昇し、次の $M_1 N_1$ クロックの期間、電圧が下降する周期 $2 M_1 N_1$ クロックの三角波である PWM1 となる。

【0005】 同様に、PWM2 生成系統の分周回路 6 の出力には、UP/DOWN カウンタ 12 が設けられ、カウント値 0 から N_2 までのカウントアップと、カウント値 N_2 から 0 までのカウントダウンとを交互に繰り返す。これにより、周期 $2 M_2 N_2$ クロックの三角波である PWM2 が生成される。

【0006】 INT 生成系統の分周回路 8 の出力には、UP カウンタ 14 が設けられ、カウント値 0 から N_3 までのカウントアップを繰り返し、これにより鋸波形の信号が生まれ、例えば、その零点にて制御割込信号 INT が生成される。

【0007】 一方、図 6 に示す従来装置は、上記従来装置と INT の信号生成系統は同様であるが、PWM1、PWM2 の生成系統が異なる。この従来装置では、内部クロック発生部 2 にて生成された所定の高周波数のクロックが、PWM1、PWM2 の各信号生成系統にそれぞれ対応して設けられた累積カウンタ 20、22 に入力される。累積カウンタ 20、22 はそれぞれ、内部クロック毎に増分値 P_1 、 P_2 でカウントアップする。累積カウンタ 20、22 の出力にそれぞれ設けられた周波数シフト回路 24、26 はそれぞれカウンタ周波数を 2^{Q1} 、 2^{Q2} 倍に変換し、またその変換後、キャリア生成回路 28、30 が各周波数シフト回路 24、26 から出力される鋸波形を途中で折り返して二等辺三角形の波形の PWM1、PWM2 を生成する。

【0008】 さて、PWMキャリア信号の周波数は、通常は CPU の処理能力に合わせて最大の値に設定される。これはスムージングな制御が実現されるからである。しかし、例えば、モータがロックしたときなどには、スイッチングの周波数を落として熱の発生によるエネルギー損失を少なくすることが行われる。このような場合には、PWMキャリア信号の周波数を低減してスイッチング周波数を下げることが行われる。

【0009】また、速度計測等の制御処理が制御割込信号に同期して行われる。ここで速度制御ループは一定の周期で起動されることが望ましい。また、モータへの指令の計算の周期はできるだけ短い方が精度よいモータ制御が行われるため望ましい。よって、制御割込信号の周波数は、通常のPWMキャリア信号と同様、CPUの処理能力に合わせて最大の値に設定され、しかもこの場合には一定の値に保たれることが望ましい。また、PWMキャリア信号と指令電圧の三角波比較により、パワー素子のスイッチング制御信号を生成するが、指令電圧の更新は、一般的にPWMキャリア信号の山部もしくは谷部で行われる。その場合、制御処理ソフトの起動から指令電圧の計算終了までの時間と三角波比較部への指令電圧の更新までの時間が短いほど精度のよいモータ制御が可能となる。

【0010】

【発明が解決しようとする課題】従来の装置における問題を以下に述べる。その問題は、基本的にPWMキャリア信号と制御割込信号とが、互いに独立な位相関係にて生成されることに起因して生じる。理解を容易とするため、まず1つのPWMキャリア信号と制御割込信号とを生成する構成に簡単な従来装置に基づいて説明する。図7は、その単純化された従来装置のブロック図である。また図8は、図7に示す従来装置の問題を説明する波形図である。分周回路4と分周回路8とは互いに独立に動作するため、基本的に、PWMキャリア信号40の位相とUPカウンタ14で発生される鋸波形41の位相との間の関係は任意であり、よって鋸波形41の零点に同期して発生される制御割込信号42の位相とPWMキャリア信号40との位相関係も任意となる。ここで、PWMキャリア信号40の周波数の変更処理は、制御割込信号42をトリガとして起動されるため、両信号の位相をある特定の関係に意図的に設定しない限り、PWMキャリア信号40は、その三角波の傾斜の途中のタイミング t_1 で周波数が切り替わることとなり、三角波形が屈曲し周期が、切り替え前後の周期の中間値をとることとなる。例えば、分周回路4の分周比を2倍に切り替える場合、切り替え前の周期を τ とすると、時刻 t_1 を含む周期は意図した周期 2τ ではなく、 τ と 2τ の中間値をとる。このような半端な周期が生じることにより、PWMキャリア信号と制御割込信号との位相がずれる。すなわち、両信号の位相関係は一般に、PWMキャリア信号の周波数切り替えを行う度に変化することとなる。

【0011】この問題は、図7にブロック図を示すPWMキャリア信号生成系統が1つのみの構成の場合には、制御割込信号により起動されるPWMキャリア信号の周波数切り替えのタイミングがPWMキャリア信号の谷（すなわち、一の傾斜と次の傾斜との接続タイミング）に一致するように、両信号の位相関係を調整することにより解決される。しかし、それは互生であるという問題

があった。また、この解決方法は、複数のモータを制御する場合のように、互いに独立な複数のPWMキャリア信号を生成する場合には適用することができない。つまり、PWMキャリア信号同士の位相がずれている場合には、制御割込信号との間の上述した特定の関係を全てのPWMキャリア信号が満たすように調整することは不可能である。

【0012】この問題に対しては、キャリア周波数が変更しない場合には、図9に示すように、PWMキャリア信号43が谷となったことを検知し、それに基づいて自身の周波数切り替えを行うとともに、制御割り込み信号44を発生する方法を思いつく。この場合、PWMキャリア信号43の周波数を切り替えると、制御割り込み信号44の周期も変化してしまい、従来技術の説明にて上述した制御ループの周期を一定に保ちたいという要請が満たされなくなるという問題があった。

【0013】これに対応して図10に示すように、PWMキャリア信号45の周波数を低くしている間は、制御割込信号生成系統を起動して制御割込信号の周波数は変化させないようにするという案もある。しかし、この場合は、制御割込信号生成系統をソフトウェアで起動するため、その制御割込信号生成系統で鋸波形46が開始されるまでのソフトウェア処理時間分のディレイ時間 d により、切り替え時に割込制御信号47の周期が変化するという問題があった。

【0014】上述の問題は、PWMキャリア信号生成系統と制御割込信号生成系統との位相が独立であることに起因するものであり、PWMキャリア信号生成系統として上述した累積カウンタ及び周波数シフト回路を用いた従来構成においても同様の問題が発生する。

【0015】本発明は、上記問題点を解決し、PWMキャリア信号生成系統においてキャリア周波数を切り替えた場合、特に複数軸のモータ制御等のPWMキャリア信号生成系統が複数の場合に、制御信号の制御周期及び各PWMキャリア信号との位相関係がそれぞれ一定に維持されるPWM方式回転機制御装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明に係るPWM方式回転機制御装置は、所定ビット数での累積カウントを基準周波数で繰り返し、カウント値を表すビット列をビット毎に並列出力するPWMキャリア原信号発生部と、前記ビット列からキャリア用ビット部分列を取り出し、当該キャリア用ビット部分列により表され前記基準周波数の 2^n 倍（ n は0以上の整数）の周波数で繰り返されるカウント値を生成する周波数変換手段を有し当該カウント値に基づいて前記PWMキャリア信号を生成するキャリア信号発生部と、前記ビット列から割込用ビット部分列を取り出し、当該割込用ビット部分列により表され前記基準周波数の 2^m 倍（ m は0以上の整数）の周波数で

繰り返されるカウント値を生成する周波数変換手段を有し当該カウント値に基づいて前記制御割込信号を生成する割込信号発生部とを有することを特徴とする。

【0017】本発明によれば、PWMキャリア原信号発生部は一定周期の例えばクロック毎に、増分値Pにより累積カウントを行い、そのカウント値を2進数で表現し、その2進数をその各ビットに対応した信号線のグループによって並列に出力する。キャリア信号発生部は、その2進数のある桁範囲のビットをキャリア用ビット部分列として取り出す。キャリア用ビット部分列により表されるカウント値の増加する速度は、その部分列を取り出す位置に依存する。またそのカウント値のリセットされる周期はさらに部分列の桁数にも依存する。つまり周波数は、そのキャリア用ビット部分列が元のビット列中で占めるビット列範囲に応じて定まり、一般に元のカウント値の周波数である基準周波数の 2^n 倍となる。ここでnは0以上の整数であり、キャリア用ビット部分列により表されるカウント値の周波数は基準周波数と等しいか、2倍、4倍、…といった値に周波数シフトされる。キャリア用部分列により表されるカウント値は一周間は単調に増加し、周期毎にリセットされる。すなわち、当該カウント値は、鋸波形の変化を示す。これに基づいてPWMキャリア信号が生成される。例えば、二等辺三角形の波形を有するPWMキャリア信号は、カウント値が表す鋸波形を中間点で折り返すことにより得ることができる。なお、キャリア信号発生部を複数設けて、別個の周波数のPWMキャリア信号を生成するように構成することができる。また割込信号発生部における割込用ビット部分列により表されるカウント値の周波数も、キャリア用ビット発生部と同様、基準周波数と等しい値か、2倍、4倍、…といった値を取りうる。また割込信号発生部で用いる割込用ビット部分列により表されるカウント値も鋸波形の変化を示し、それが所定の値、例えば0となるタイミング毎に割込信号発生部は制御割込信号を発生するように構成される。さて、キャリア用ビット部分列と、割込用ビット部分列とは、元のビット列の互いに異なる桁範囲から取り出すことができ、同一の桁範囲から取り出すこともできる。すなわち、それらに基づいてそれぞれ生成されるPWMキャリア信号と制御割込信号とは互いに異なる周期を有するようにも、同一の周期を有するようにも構成できる。一方、周期が互いに異なるか同一であるかに関係なく、元のビット列がリセット、つまり全てのビットが0となる場合には、キャリア用ビット部分列と割込用ビット部分列との双方も全ての桁が0となりリセットされる。これは、複数のキャリア信号発生部を有し、それらからそれぞれ異なる周波数のPWMキャリア信号が生成される場合も同様であり、元のビット列がリセット状態となるときには、全てのキャリア用ビット部分列も同時にリセット状態となる。このことから明らかなように、本発明によれば、単一の又は

複数のPWMキャリア信号及び制御割込信号の位相は必ずから一致する。

【0018】本発明に係るPWM方式回転機制御装置においては、前記キャリア信号発生部が、前記ビット列中の前記キャリア用ビット部分列とされるビット列範囲をシフトさせて前記PWMキャリア信号の周波数を変化させる周波数切替手段を有することを特徴とする。

【0019】本発明によれば、キャリア信号発生部は、それが生成するPWMキャリア信号の周波数を切り替えることができる。例えば、キャリア用ビット部分列として取り出されるビット列中における桁範囲をMSB（最上位ビット）側にk桁ずらすことにより、キャリア用ビット部分列の周期は 2^k 倍となる。例えば、切替動作は、PWMキャリア信号の三角波形の上りの傾斜と下りの傾斜との接続点で行うことができる。

【0020】本発明に係るPWM方式回転機制御装置においては、前記キャリア信号発生部が、その周波数変換手段の出力信号に対し位相シフトを行う位相シフト手段を有することを特徴とする。

【0021】PWMキャリア信号の周波数切替動作を、PWMキャリア原信号の零点、もしくは、現状のキャリア用ビット部分列と切り替えようとするキャリア用ビット部分列のうち周期が長い部分列のビットが全て0となる点において行うことにより、PWMキャリア信号の不連続な切り替えによる波形の乱れを回避することができる。また、位相シフトを行っている場合にも、上記切り替え時刻において、周波数切替動作を行うことにより、PWMキャリア信号の不連続な波形が出力されることはない。

【0022】

【発明の実施の形態】以下、本発明の実施の形態（以下実施形態という）を、図面に従って説明する。図1は、本発明に係るモータ制御装置におけるPWMキャリア信号と制御割込信号との生成に係わる部分の概略のブロック図である。本装置は、4つのモータをそれぞれ別個に制御することができるモータ4軸制御用の装置であり、4つのPWMキャリア信号PWM1、PWM2、PWM3、PWM4が生成され、それとともに制御割込信号INTが生成される。

【0023】PWMキャリア原信号発生部50は、例えば32ビットの累積カウンタを有し、内部クロック毎に、増分値Pにより累積カウンタを行う。この累積カウンタの値の各ビットの値はパラレルに出力される。これら各ビット信号の集合が基本キャリア信号である。基本キャリア信号は、それぞれPWMキャリア信号を発生する4つのキャリア信号発生部52、54、56、58と割込制御信号発生部60とにそれぞれ入力される。

【0024】各キャリア信号発生部52～58及び割込制御信号発生部60にそれぞれ設けられた周波数変換器62、64、66、68、70は、基本キャリア信号を

構成するビット列のうち上位何ビット目からのビット列を取り込むかを選択するデータセクタである。このようにして各キャリア信号発生部、割込制御信号発生部に取り込まれるビット列は元のビット列の部分列（元のビット列と一致する場合も含む）であり、各キャリア信号発生部、割込制御信号発生部に取り込まれる部分ビット列をここではそれぞれキャリア用ビット部分列、割込用ビット部分列と称する。

【0025】例えば、これらビット部分列が、基本キャリア信号であるビット列の最上位ビットからのものであるならば、そのビット部分列により表されるカウント値の繰り返し周波数は、基本キャリア信号の周波数（基準周波数）と同一の周波数である。つまり、周期の基準点を例えばビット列を構成するビットが全てリセットされた、すなわち各ビットの値が“0”であるタイミングと定めると、ビット部分列がリセットされるのは、基本キャリア信号の1周期に1回だけである。

【0026】また、例えば、ビット部分列が、基本キャリア信号であるビット列の第2ビットからのものであるならば、そのビット部分列により表されるカウント値の繰り返し周波数は、基準周波数の2倍である。これは、ビット部分列のリセットが、基本キャリア信号の最上位ビットが“1”の場合と、“0”の場合とでそれぞれ起こることから理解されよう。このように一般に、ビット部分列が基本キャリア信号であるビット列の第 $(n+1)$ ビットからのものである場合、そのビット部分列により表されるカウント値の繰り返し周波数は、基準周波数の 2^n 倍となる。

【0027】各周波数変換器62～70には、周波数切替機能を設けることができる。この周波数切替機能は、ビット部分列の先頭ビットを基本キャリア信号の第何ビットに取るかを変更する、すなわち、元のビット列中でのビット部分列の位置をシフトさせることにより実現される。そのためには、周波数変換器を構成するデータセクタを、選択ビットをダイナミックに変更できるように構成すればよく、その場合、データセクタが周波数切替手段として機能する。

【0028】各キャリア信号発生部の周波数切り替えは、PWMキャリア原信号発生部50のカウンタがキャリアを出すタイミングに同期して行われる。すなわち、基本キャリア信号の値が零となるタイミングで周波数切り替えを指示する切替制御信号が、切り替えが行われる周波数変換器に入力される。本装置では、基本キャリア信号と各周波数変換器のカウント値とは同期しており、この基本キャリア信号が零点を取るタイミングでは、必ず各周波数変換器のカウント値も零である。そしてその状態でビット部分列を変更してもカウント値は零であり、カウント値の連続性が確保される。また、各キャリア信号発生部において、現状のキャリア用ビット部分列と切り替えようとしているキャリア用ビット部分列のう

ち周期が長い部分列のビットが全て0になるタイミングにおいて周波数切替動作を行っても同様にカウント値の連続性が確保される。これ以外のタイミングでは、ビット部分列をずらすとカウント値が不連続に変化するという不都合が生じる。

【0029】なお、例えば起動初期などは、PWMキャリア原信号発生部50のカウンタのキャリアの発生タイミングではなく、随時切り替えられた方が便利なこともある。そのため、本装置には随時切替モードが設けられるとともに、その際の不連続の悪影響を避けるために、その間の制御を無効とする配慮がなされている。

【0030】さて、上述したように各周波数変換器62～70におけるビット部分列に対応するカウント値の位相は互いに一致している。すなわち、基本キャリア信号のカウント値が零となるタイミングでは、全ての周波数変換器におけるビット部分列に基づくカウント値が零となる。しかし、制御対象の複数のモータを所定の位相差で制御したい場合もある。具体的には、多軸制御を行う場合、1つのCPUでは同時に各軸を制御できないので、異なる軸の制御の位相を互いにずらすことが行われる。

【0031】また、一つのPWMキャリア信号に同期して行われる制御処理にて指令値が生成されたタイミングに、他のPWMキャリア信号を同期させたいという場合もある。

【0032】そのような位相差の調整を行うために、キャリア信号発生部54～58は各周波数変換器の出力にそれぞれ接続される位相シフト器74、76、78を有している。ちなみに、ここで設けられる位相シフト器は、各PWMキャリア信号間の相対的な位相差を調整する目的のものであり、そのため基準とされるキャリア信号発生部52には位相シフト器は設けられていない。また割込制御信号発生部60の位相シフト器80は、生成される制御割込信号の用途に応じてその位相ずれを調整するものである。

【0033】位相シフト器を周波数変換器の前にはなく、後ろに配置するということは重要である。前に配置すると、基本キャリア信号が零となったタイミングで、周波数変換器のカウンタの値が零となることが保証されない。そのため、PWMキャリア原信号発生部50のカウンタが出すキャリアに同期して、周波数切り替えを行っても周波数変換器のカウンタの値が不連続に変化し、それに基づいて生成されるPWMキャリア信号の波形に乱れを生じうるという不都合がある。これに対して、位相シフト器を周波数変換器の後ろに配置することは、そのような不都合が生じない。

【0034】また、本装置によれば、例えば複数軸を1CPUで制御する場合において、各軸に対応するPWMキャリア信号の位相を互いにシフトさせることにより、それに同期して行われる電流値や角度データのサンプリ

ング、そのサンプリング値に基づく計算処理、そしてその結果に応じた電圧指令といった一連の処理を各軸毎に別々のタイミングで行うことができる。つまり、複数軸に対して上記一連の処理を一度に行おうとすると、軸間でPWMキャリア信号に対する処理の位相ずれに相違が生じてしまい、いずれかの軸に対する処理の時間遅れが大きくなる。これはそれら一連の処理により行おうとする制御の精度を劣化、すなわち制御性の低下という問題を生じる。本発明は、従来技術とは異なり各PWMキャリア信号間での位相差が周波数の切り替えによって変動せず常にPWMキャリア信号間での同期が確保され、しかも、PWMキャリア信号間で位相シフトを設定して複数軸の上記一連の処理を割り振ることができることにより、各軸を高い制御性でかつ同期を保ちながら行うことができる。

【0035】図に示す例では、割込制御信号発生部は一系統しか設けていないが、周期や位相関係が異なる複数の制御割込信号が必要な場合は、周波数変換器割込制御信号発生部を複数系統設ければよい。

【0036】なお、PWMキャリア原信号発生部50では、カウント値が零から上限までインクリメントされ、上限に達するとリセットされ、再びカウントのインクリメントが開始される。これに対応して、基本キャリア信号の波形は鋸波形となる。そして、この基本キャリア信号の周波数の変換及び位相シフトを行った信号も鋸波形である。キャリア信号発生部52～58はそれぞれ、この鋸波形を対称三角波のPWMキャリア信号に変換するため、周波数変換及び位相シフトの後にキャリア波形生成回路82、84、86、88を備えている。

【0037】同様に、割込制御信号発生部60における位相シフト器80の出力信号も鋸波形であり、割込信号生成回路90は、例えば鋸波形の信号が零点にリセットされるタイミングに同期して割込信号パルスを生成する。

【0038】図2、図3は、それぞれ本装置における各部での信号波形の一例を示すタイミング図である。基本キャリア信号の周期 $T_0 = \tau$ とする。ここでは、周波数変換器62の周波数変換倍率は1倍（すなわち、キャリア用ビット部分列は基本キャリア信号の最上位ビットから始まる）であり、その周期 T_1 は τ に等しい。周波数変換器64～68の倍率は2倍（すなわち、キャリア用ビット部分列は基本キャリア信号の第2ビットから始まる）であり、それらの周期 T_2 、 T_3 、 T_4 は $T_2 = T_3 = T_4 = \tau/2$ となる。また周波数変換器70の倍率は4倍（すなわち、キャリア用ビット部分列は基本キャリア信号の第3ビットから始まる）であり、その周期 T_5 は $T_5 = \tau/4$ となる。

【0039】また、位相シフト器74、78は、それぞれ位相を 180° （時間量で表すと $T_2/2$ 、 $T_4/2$ 、すなわちそれぞれ $\tau/4$ ）だけ遅延させ、位相シフト器

76は位相シフトを 0° に調整され、位相シフト器80は、位相を 180° （時間量で表すと $T_5/2$ 、すなわち $\tau/8$ ）だけ遅延させるように調整されているものとする。

【0040】これらの条件の下で、図2（a）は、基本キャリア信号の波形を表しており、同図（b）は、キャリア信号発生部52の周波数変換器62の出力波形、同図（c）～（e）は、それぞれキャリア信号発生部54～58の位相シフト器の出力波形、同図（f）は、割込制御信号発生部60の位相シフト器80の出力波形を表している。

【0041】また、図3（a）～（d）は、それぞれキャリア信号発生部52～58のキャリア波形生成回路から出力されるPWMキャリア信号PWM1、PWM2、PWM3、PWM4の波形を表しており、同図（e）は、割込制御信号発生部60の割込信号生成回路90から出力される制御割込信号INTを表している。本装置によれば、PWMキャリア信号と制御割込信号とは本来的に同期を保ちながら、しかも、互いに別系統で生成されるため、PWMキャリア信号の周波数を切り替えても、それによって制御割込信号の周期や位相が変化することはない。

【0042】つまり、制御割込信号の周期は、常に一定に保たれ、その周期は必要に応じて短く設定することができる。制御処理の周期が一定に保たれることにより、速度計測のループの間隔が一定に保たれ、速度計測処理が容易となる。また、制御割込信号の周期をPWMキャリア信号とは無関係に必要なだけ細かく定めることができるので、制御のための指令の計算の周期を細かく設定でき、精度よい制御が可能である。

【0043】図4は、本装置で用いられるPWMキャリア原信号発生部50と周波数変換器の構成の模式図である。PWMキャリア原信号発生部50は、例えば32MHzの内部クロック毎に、レジスタ100に設定されたデータRATEを累積加算する。すなわち、ある時刻におけるラッチ102の出力Qとレジスタ100から読み出されたRATEとが加算器104によって加算され、次のクロックがラッチのクロック端子CKに印加されると、データ端子Dに与えられている加算器104の出力がラッチ102に取り込まれる。このようにして、PWMキャリア原信号発生部50のカウンタの値は、クロック毎にRATEだけ増えていく。PWMキャリア原信号発生部50は32ビットのデータを取り扱えるように構成されており、ラッチ102の出力Qも32ビットのパラレル出力である。周波数変換器62～70はこの32ビットのビット列を、シフト回路106によって周波数の変換倍率に応じた桁数だけ左シフト（すなわち上位ビット側へシフト）し、その上位16ビットをビット部分列として取り出す。ここではシフト回路106は、0～8桁の範囲で左シフト量を設定される。例えば、1桁だ

け左シフトを行った後、上位16ビットを取り出す操作は、PWMキャリア原信号発生部50から出力される基本キャリア信号である元のビット列の上位第2ビット～第17ビットをビット部分列として取り出すことであり、周波数は2倍に変換される。

【0044】例えば、RATE=41943に設定すると、基本キャリア信号の周波数は $3.125 \times 10^2 \text{ Hz}$ となり、周波数変換器にて2桁左シフトすることにより4倍の周波数である 1.25 kHz が得られ、5桁左シフトすることにより32倍の周波数である 10 kHz が得られる。

【0045】なお、基本キャリア周波数を f とすると、上述のようにビット部分列のシフトにより、PWMキャリア信号や制御割込信号の周波数を f の1倍、2倍、4倍、…と大きく変えることができる。一方、RATEの値を加減することによって、 f の値を小さな幅で変化させることもできる。

【図面の簡単な説明】

【図1】 本発明の実施形態であるモータ制御装置におけるPWMキャリア信号と制御割込信号との生成に係わる部分の概略のブロック図である。

【図2】 本装置における周波数変換器又は位相シフト器の出力信号波形の一例を示すタイミング図である。

【図3】 本装置におけるPWMキャリア信号又は制御割込信号の一例を示すタイミング図である。

【図4】 本装置で用いられるPWMキャリア原信号発生部と周波数変換器の構成の模式図である。

【図5】 従来の2軸制御の回転機制御装置におけるPWMキャリア信号と制御割込信号との生成に係わる概略のブロック図である。

【図6】 従来の2軸制御の回転機制御装置におけるPWMキャリア信号と制御割込信号との生成に係わる概略の他のブロック図である。

【図7】 従来の単軸制御の回転機制御装置におけるPWMキャリア信号と制御割込信号との生成に係わる概略の他のブロック図である。

【図8】 従来装置の問題を説明する第1の波形図である。

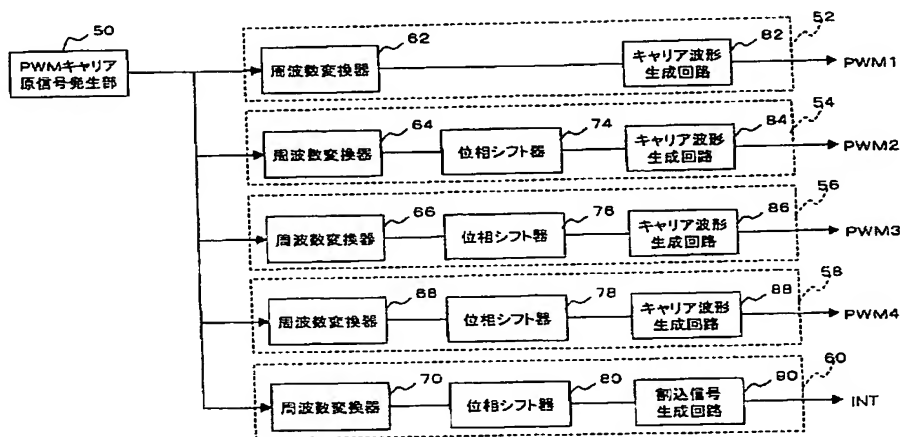
【図9】 従来装置の問題を説明する第2の波形図である。

【図10】 従来装置の問題を説明する第3の波形図である。

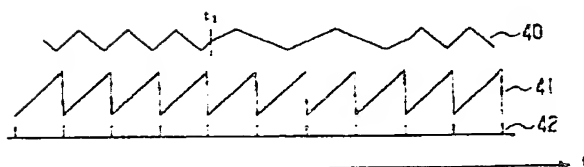
【符号の説明】

50 PWMキャリア原信号発生部、52, 54, 56, 58 キャリア信号発生部、60 割込制御信号発生部、62, 64, 66, 68, 70 周波数変換器、74, 76, 78, 80 位相シフト器、82, 84, 86, 88 キャリア波形生成回路、90 割込信号生成回路。

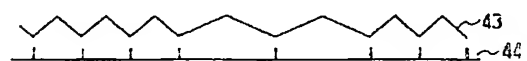
【図1】



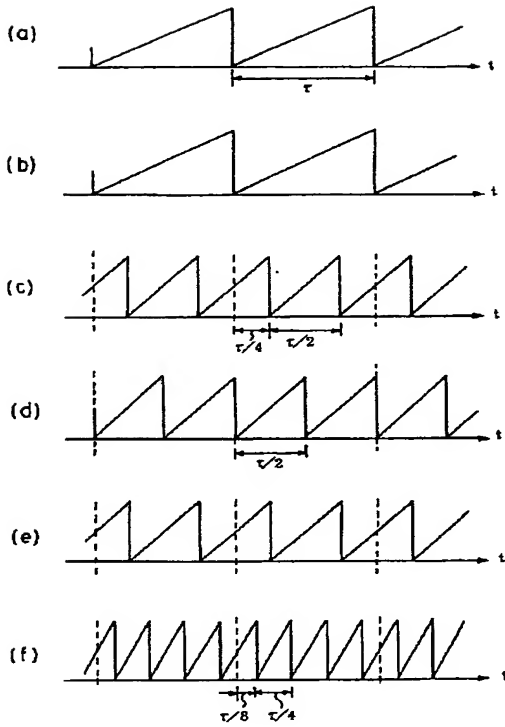
【図8】



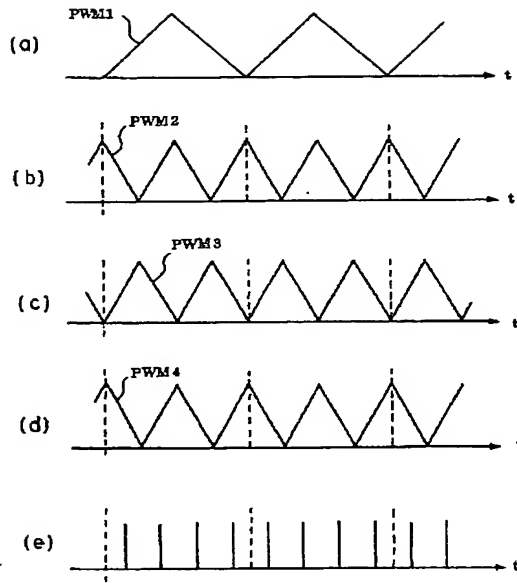
【図9】



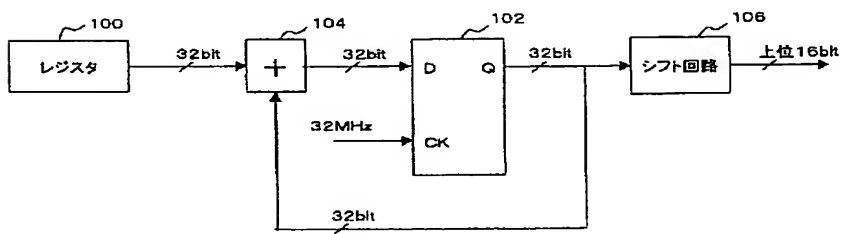
【図2】



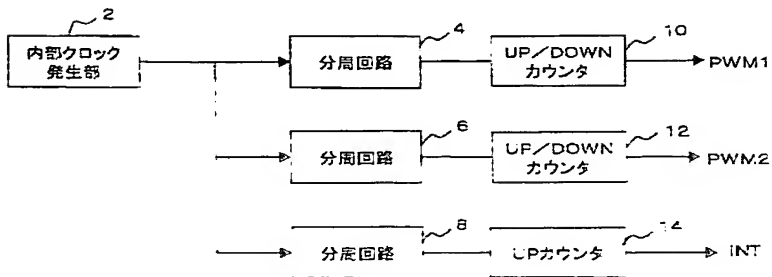
【図3】



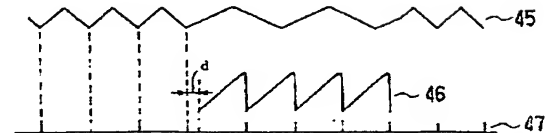
【図4】



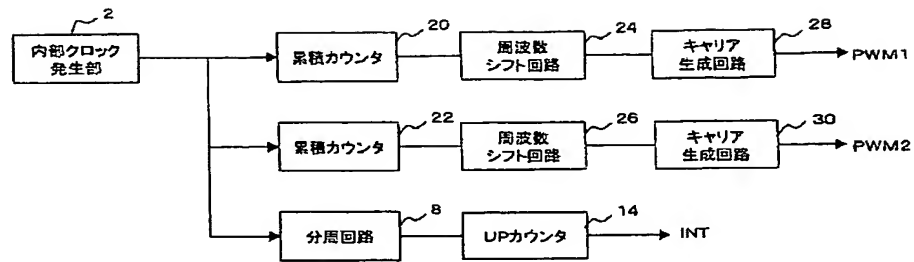
【図5】



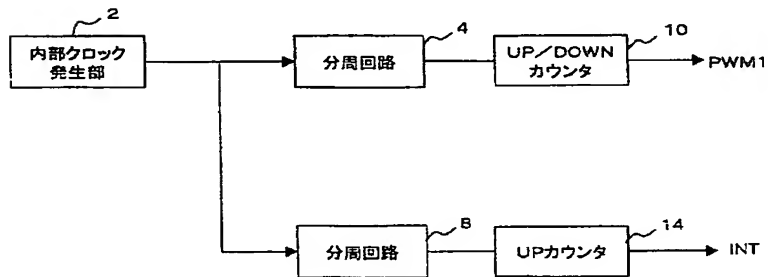
【図10】



【図 6】



【図 7】



フロントページの続き

(72) 発明者 川端 康己
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内
(72) 発明者 金森 彰彦
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72) 発明者 篠原 誠
神奈川県川崎市幸区堀川町580番 1 号 株式会社東芝半導体システム技術センター内
F ターム (参考) 5H004 GA01 GA05 HA08 JA03 KA22
KA61 KA67 KB26 KB32 LB04
LB09
5H007 BB06 DB01 DB12 DC04 EA02
5H572 DD01 EE01 HB09 HC09 JJ03
JJ12 JJ13 KK03